

文章编号: 1007-2780(2013)03-0392-06

LED 大屏幕显示校正系数配置系统

宋 超^{1,2}, 王瑞光^{1*}, 冯英翘^{1,2}

(1. 中国科学院 长春精密机械与物理研究所, 吉林 长春 130033, E-mail: troysung@163.com;

2. 中国科学院大学, 北京 100049)

摘 要: 为了有效地写入和读出在 LED 大屏幕显示控制系统中使用的校正系数, 开发了基于 USB 接口和 FPGA 的 LED 大屏幕显示校正系数配置系统。介绍了串行 Flash 及其在 LED 显示系统中的作用。设计了系统的硬件电路, 包括高速 USB 接口控制芯片和 FPGA。设计了系统的软件程序, 包括 USB 固件程序、PC 端用户程序和 FPGA 配置程序。实验结果表明, 该系统能够准确写入和读出校正系数, 擦除每个扇区大约 0.6 s, 数据写入速度可达到 2.3 Mbit/s, 数据读出速度可达到 30 Mbit/s。该系统在 LED 大屏幕显示控制系统的校正系数维修中能够起到重要作用。

关 键 词: 串行 Flash; LED 显示; 校正系数; USB; FPGA

中图分类号: TN873

文献标识码: A

DOI: 10.3788/YJYXS20132803.0392

Display Calibration Coefficient Configuration System Used in LED Panel

SONG Chao^{1,2}, WANG Rui-guang^{1*}, FENG Ying-qiao^{1,2}

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,

Changchun 130033, China, E-mail: troysung@163.com;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: To effectively write and read the calibration coefficients used in LED panel display control system, a display calibration coefficient configuration system based on USB interface and FPGA was developed. Firstly, the serial flash and its application in LED display systems were introduced. Next, an electrical circuit is built, including a FPGA chip and a USB peripheral controller chip. Finally several programs were developed, including a USB firmware, a PC user program and a configuration program for the FPGA. Experiments show that the calibration coefficients can be correctly written and read with this system. Each sector of the flash can be erased in 0.6 s. The data can be written in 2.3 Mbit/s and read in nearly 30 Mbit/s. This system is easy to use, and it can take an important role in the calibration coefficients operation of the LED panel display control system.

Key words: serial flash; LED display; calibration coefficients; USB; FPGA

收稿日期: 2012-05-18; 修订日期: 2012-07-12

基金项目: 国家科技支撑计划(No. 2009BAE73B00)

作者简介: 宋超(1986—), 男, 山东高密人, 博士研究生, 研究方向为 LED 大屏幕显示控制系统。

* 通信联系人, E-mail: wangruiguang1957@126.com

1 引 言

LED 显示屏是一种以发光二极管作为发光元件的显示设备,被广泛应用于大型显示场合中^[1-3]。在 LED 显示领域,广泛使用 Field Programmable Gate Array(FPGA)配合 Flash 的组合来构成其显示控制系统的主要功能部分。校正系数数据一般存储在显示控制系统的扫描接收卡中。

在生产或使用中,扫描接收卡一旦出现问题,其模组校正系数数据就会丢失;整个显示屏中的一个模组不能正常工作,更换后整个显示屏都必须重新校正,并将校正系数再次存入相应的扫描卡中^[4]。

对上述情况中的扫描接收卡进行更换或维修时需要重新写入 Flash 中的校正系数。通常可使用显示控制系统的在线下载功能,但这种方式需要调用在 PC 端保存的校正系数,操作复杂且一旦操作不慎会对整个系统造成影响;尤其在户外使用时,应用环境较为恶劣,从而导致在下载过程中容易出现意外的故障情况^[5],使得系数写入失败。

本文设计了一种基于 USB 接口和 FPGA 的 LED 大屏幕显示校正系数配置系统,可写入和读出单个扫描接收卡中的校正系数,也可将损坏的控制系统中的校正系数读出并写入到更换的控制系统中,便于对显示控制系统进行校正系数维修。

2 配置系统硬件电路设计

2.1 系统组成

LED 大屏幕校正系数配置系统硬件电路主要由 3 部分组成,包括 FPGA 主控部分、高速缓存的 USB 接口控制部分和稳压电路等。如图 1 所示。

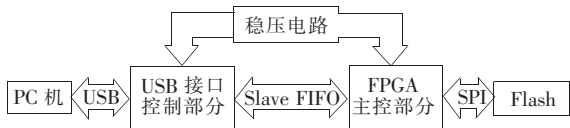


图 1 配置系统硬件系统结构框图

Fig. 1 Hardware structure diagram of the configuration system

2.2 硬件电路设计

2.2.1 主控芯片 FPGA 的选择

FPGA 负责 USB 接口控制芯片和 Flash 之

间的数据传输控制,读取 USB 接口控制部分缓存的数据并通过 SPI 接口写入 Flash,或者通过 SPI 接口读取 Flash 中的数据并输出到 USB 接口控制部分。

本系统选择 Xilinx 公司 Spartan3AN 系列当中的一款 FPGA 芯片 XC3S50AN 作为主控芯片。这款 FPGA 基于 90 nm 技术,具有体积小、功耗低等特点^[6]。与其他普通类型 FPGA 相比,它内置存储配置程序的非易失性存储器,具有良好的保密性,可在一定程度上防止产品被复制。

2.2.2 USB 接口控制芯片的选择

USB 控制芯片通过 USB 串行总线协议与 PC 端进行通信和数据传输。

本系统选择 Cypress 公司 EZ-USB FX2 系列微控制器中的 CY7C68013A 作为 USB 接口控制芯片。此芯片是世界上第一个集成 USB 2.0 协议的微控制器,具有高集成度、低功耗、高性价比等优点。它集成了 USB2.0 收发器、串行接口引擎、增强的 8051 微控制器和 4 KB 的 First In First Out(FIFO)存储器,支持 12 Mbit/s 全速传输和 480 Mbit/s 的高速传输^[7]。Flash 控制器硬件电路如图 2 所示。

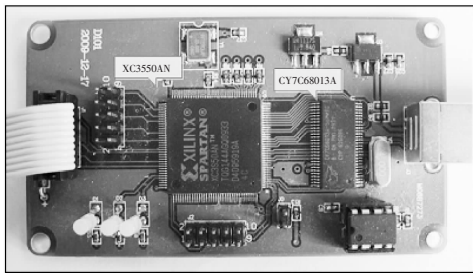


图 2 Flash 控制器硬件电路图

Fig. 2 Hardware circuit of the Flash controller

2.3 数据传输接口设计

2.3.1 USB 接口控制芯片和 FPGA 接口设计

FX2 具有 Slave FIFO 和 GPIF 两种接口方式^[8]。GPIF 是主机方式,使用非常灵活,可以由接口芯片的配置程序控制数据读写波形,几乎可以对任何 8 位或 16 位接口的控制器、存储器或总线进行数据的主动读写。Slave FIFO 是从机方式,外部控制器可以像对普通 FIFO 一样对 USB 接口芯片内部的多层缓冲 FIFO 进行读写。USB 芯片的 Slave FIFO 工作方式可设为同步或异步,工作时钟可以由内部产生或从外部输入,其他控

制信号可设置为高有效或低有效。

本系统在设计中采用的是异步从机方式,即异步 Slave FIFO 控制接口。接口连接如图 3 所示。

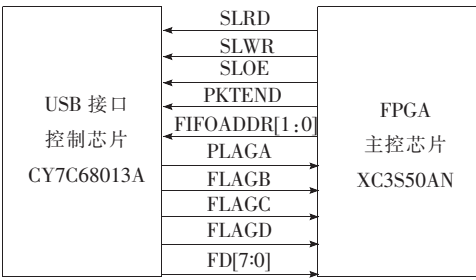


图 3 USB 接口控制芯片与 FPGA 的连接图
Fig. 3 Connections between USB interface control chip and FPGA

图 3 中,FLAGA-FLAGD 为 FIFO 标志位信号,用于标志 FIFO 当前工作状态,由寄存器 PINFLAGSAB 和 PINFLAGSCD 分别进行配置,在本系统中分别用来标志 Endpoint 2 和 Endpoint 6 中 FIFO 的空和满状态;FD[7:0]为 8 位双向数据总线,在本系统中作为 USB 接口控制芯片与 FPGA 之间通信和数据传输通道。SLOE 为数据输出使能信号,即 SLOE 信号有效时,FPGA 才能开始从 FIFO 读出数据;SLRD 和 SLWR 分别作为 FIFO 的异步读写选通信号;FIFOADDR[1:0]用于选择当前操作的 Endpoint 缓冲区。

2.3.2 FPGA 和串行 Flash 接口设计

串行 Flash 一般兼容 SPI 接口技术,具有传输速度高和接口简单等优点。在设计中,FPGA 和串行 Flash 之间采用 SPI 接口进行数据传输。在数据写入 Flash 的过程中,FPGA 读取 USB 接口控制芯片的 FIFO 中缓存的数据,通过 SPI 接口将数据发送到与串行 Flash 连接的数据线上;在数据上传到 PC 端的过程中,FPGA 通过 SPI 接口读取 Flash 中的数据,将其输出到 USB 接口控制芯片的 FIFO 中;当 FIFO 符合一定条件后,USB 接口控制芯片将其发送到 PC 端。

3 配置系统软件程序设计

软件程序设计包括 USB 固件程序设计、PC 端用户程序设计和 FPGA 控制程序设计。

3.1 USB 固件程序设计

所有基于微控制器及其外围电路设计的功能

设备,其进行正常工作都离不开固件的参与,固件程序是此类设备运行的核心。设计中固件程序包括以下任务:初始化芯片、重新枚举设备及接收和发送数据等。

该程序首先初始化所有的内部状态变量,然后调用 TD_Init()子程序进行初始化。初始化主要包括:

- (1) 设置寄存器 IFCONFIG = 0xCB,使 CY7C68013A 工作于异步 Slave FIFO 模式;
- (2) 设置寄存器 EP2CFG = 0XA2 和 EP6CFG = 0XE2,使 4 个 Endpoint 中的 Endpoint 2 和 Endpoint 6 分别对应着大小为 512 bytes 的缓冲存储区域,其他两个 Endpoint 不用。使 Endpoint 6 为 IN 型,负责从 FPGA 接收并向 PC 端上传数据;Endpoint 2 为 OUT 型,负责从 PC 端接收并向 FPGA 发送数据。Endpoint 2 和 Endpoint 6 都采用传输速度高的批量(BULK)传输方式。在本设计中,所有数据都是以 512 bytes 数据包的形式进行传输。

(3) 设置寄存器 EP2FIFOCFG = 0x10 和 EP6FIFOCFG = 0x0C,对 FIFO 进行配置,即将 Endpoint 2 定义为 8 位 AUTO OUT 模式,将 Endpoint 6 定义为 8 位 AUTO IN 模式,可减少数据传输中断,提高数据传输速度。

(4)设置寄存器 PINFLAGSAB=0x8E,定义 FLAG 标志位,即将 FLAGA 定义为 Endpoint 6 满标志位,将 FLAGB 定义为 Endpoint 2 空标志位。FLAGC 和 FLAGD 空置不用。

初始化完成后,打开中断之后的固件程序开始枚举设备,直到 USB 设备和 PC 端建立连接为止。

3.2 PC 端用户程序设计

设计中,为了加快设计速度,调用了 Cypress 公司提供的 EZ-USB 设备驱动程序,在 Microsoft Visual Studio 环境下使用 C++语言开发设计了 PC 端用户程序。PC 端用户程序通过 I/O 控制调用访问驱动程序,将数据通过 USB 接口下传给 USB 接口控制芯片或上传到 PC 端。用户程序首先通过调用 Win32 API 函数 CreatFile()来取得访问设备驱动程序的句柄;进一步通过 Win32 API 函数 DeviceIoControl()来提交 I/O 控制码,并且为 CreatFile()函数返回的设备句柄设置 I/O 缓冲区。用户程序界面如图 4 所示。



图 4 PC 端用户程序界面图

Fig. 4 User program interface on the PC

PC 端用户程序主要包括 3 部分:用于检测配置系统是否连接的 USB 测试功能,对校正系数进行操作所需的命令设置功能以及校正系数写入和校正系数读出功能,在校正系数写入和读出 Flash 过程中的信息显示功能。

在从 Flash 中读取校正系数到 PC 端的过程中,用户程序首先开辟一个足够大小的缓冲区,重复接收从 USB 控制芯片上传的校正系数数据包,直到数据传输完毕。在本系统中,PC 将校正系数从缓冲区读取出来,然后包装成位图文件 Bitmap 格式,使用户直观地确认校正系数的准确性。

在 PC 端将 Bitmap 格式的校正系数发送到配置系统的过程中,用户程序首先读取校正系数文件,并为其设置相应大小的内存缓冲区,然后将所有系数数据以 512 bytes 大小的数据包发送到控制器,直到全部数据发送完毕。

3.3 FPGA 控制程序设计

各公司生产的串行 Flash 芯片控制时序略有不同,这里以 Micron 公司的 M25P40 为例。本系统中 FPGA 主要完成以下功能:(1)读出存储在 Flash 中的校正系数数据;(2)擦除 Flash 中存储的数据,可以整片擦除,也可以分扇区擦除^[9];(3)将校正系数数据写入 Flash 扇区。

在 LED 大屏幕显示控制系统中,为了提高单片 Flash 的利用率并减少线路板占用面积,在串

行 Flash 要存储 FPGA 的配置程序和校正系数,配置程序放在 Flash 的起始部分,而其他部分可以用来存储校正系数。根据实际需要,可以选择对 Flash 某些扇区进行擦除和写入操作。

FPGA 控制程序主要包括 3 个模块:数据接口模块、读 Flash 模块和写 Flash 模块。如图 5 中虚线部分所示。

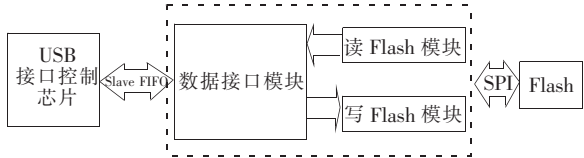


图 5 FPGA 控制程序结构图

Fig. 5 Structure diagram of FPGA control program

数据接口模块负责解析从 PC 端下传的命令和传输校正系数。系统在 FPGA 对 Flash 操作前,PC 端用户程序首先发送一个命令数据包到 FPGA,用以确定对 Flash 的操作方式,如对 Flash 进行读写的区域等。操作方式确定后,PC 端用户程序将校正系数传输给 FPGA 或者从 FPGA 接收数据。

读 Flash 模块负责将校正系数从 Flash 中读出,并将串行数据处理成 8 位并行数据送至数据接口模块。在 M25P40 中,一次读操作可读取 256 bytes 数据,两次读操作可填满 Endpoint 6,USB 芯片在 Endpoint 6 被填满后不再接收数据,并自动将 512 bytes 上传至 PC 端。FPGA 在 512 bytes 数据上传的过程中处于等待状态,直到数据上传结束并重新开始对 Flash 的读操作。以此类推,直至所有校正系数数据传输完毕。

使用 Xilinx 公司提供的在线逻辑分析仪提取的读 Flash 时序如图 6 所示。

图中 SCK、CE、SI 和 SO 信号分别对应 Flash 的时钟、芯片选择、数据输入和数据输出信号。FPGA 控制产生读命令从 Flash 的 SI 脚输入,

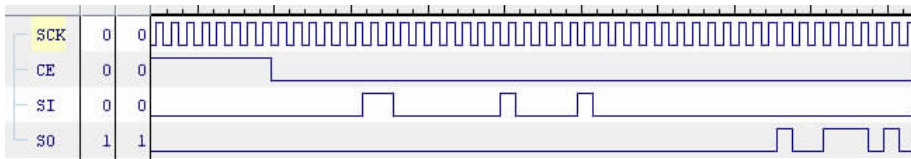


图 6 读 Flash 时序图

Fig. 6 Time sequence during reading Flash

Flash 接到命令后从 SO 脚输出相应的系数数据。

读 Flash 过程中,SPI 接口串行时钟频率能够达到 30 MHz,而 USB 高速传输速率高达 480 Mbit/s,因此校正系数能够以约 30 Mbit/s 的速度读出。

写 Flash 模块负责将校正系数数据从数据接口模块读出,并将 8 位并行数据处理成串行数据写入 Flash。根据 Flash 的特性,数据写入操作可以将存储单元的比特位从“1”变为“0”,但是不能将“0”再变为“1”,所以在将数据写入 Flash 前须对 Flash 进行擦除操作,即将数据写入区域全部置为“1”。对 Flash 可以整片擦除,也可以分扇区擦除。在本设计中,Flash 同时存储 FPGA 配置程序和校正系数,所以进行分扇区擦除,以防止擦除过程中对 FPGA 配置程序造成破坏。FPGA 首先对 Flash 发出块擦除命令,PC 端用户程序进入等待状态。Flash 擦除完毕后,PC 端用户程序将一个 512 bytes 数据包发送至 USB 接口控制芯片 Endpoint 2,写 Flash 模块通过一次写操作可以将 256 bytes 写入 Flash 中,两次写操作后,Endpoint 2 被读空,PC 端用户程序将下一个 512 bytes 数据包发送至 Endpoint 2。依次类推,直到所有校正系数数据被写入 Flash。

写入 Flash 时序如图 7 所示。根据 Flash 的数据手册,FPGA 产生相应的写命令并将系数数据从 Flash 的 SI 脚写入到 Flash 中。

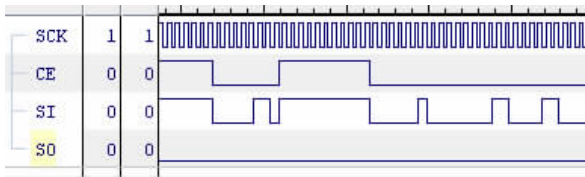


图 7 写 Flash 时序图

Fig. 7 Time sequence during writing Flash

擦除 Flash 时间比较长,根据 Flash 的 Data sheet,擦除每个扇区需要等待大约 0.6 s。写 Flash 时,每 256 bytes 需要大约 0.8 ms 的等待时间,SPI 接口串行时钟为 30 MHz,写 Flash 的速率约为:

$$\frac{256 \times 8 \text{ bits}}{(0.8 \times 10^{-3})\text{s} + (256 \times 8 \times 1/30 \times 10^6 + 6)\text{s}} \approx 2.3 \text{ Mbit/s}$$

4 测量实验与结果

4.1 配置系统的写功能验证

在 LED 大屏幕显示控制系统内未存储校正系数时,LED 大屏幕正常显示图像,无校正效果。为了验证本设计中配置系统的写功能,对未存储校正系数的显示控制系统中写入一幅作为校正系数的图像。写入校正系数后,带有校正系数的控制区域将显示为正常显示图像和校正系数重叠的效果。没有校正系数的 LED 显示屏如图 8(a)所示,显示屏大小为 768 点×192 点;作为校正系数的图像如图 8(b)所示,图像大小为 256 点×64 点;带有校正系数控制区域的 LED 大屏幕如图 8(c)所示。含有校正系数的控制系统控制着 LED 显示屏中心处的 256 点×64 点大小的显示区域,校正系数与原图像有明显地叠加效应。

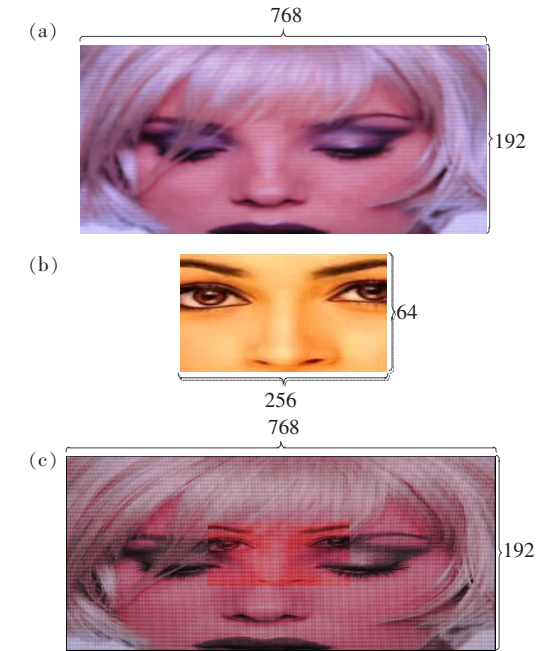


图 8 校正系数写入实验图

Fig. 8 Pictures during the calibration coefficient writing test

4.2 配置系统的读功能验证

用配置系统将校正系数图写入 Flash 后,用配置系统将 Flash 内的全部数据读出,如图 9 所示。

图 9(a)为写入 Flash 的校正系数图,大小为 256 点×64 点;图 9(b)为把整个 Flash 中的数据读出后形成的 Bitmap 图,宽度为 256 bytes。图 9

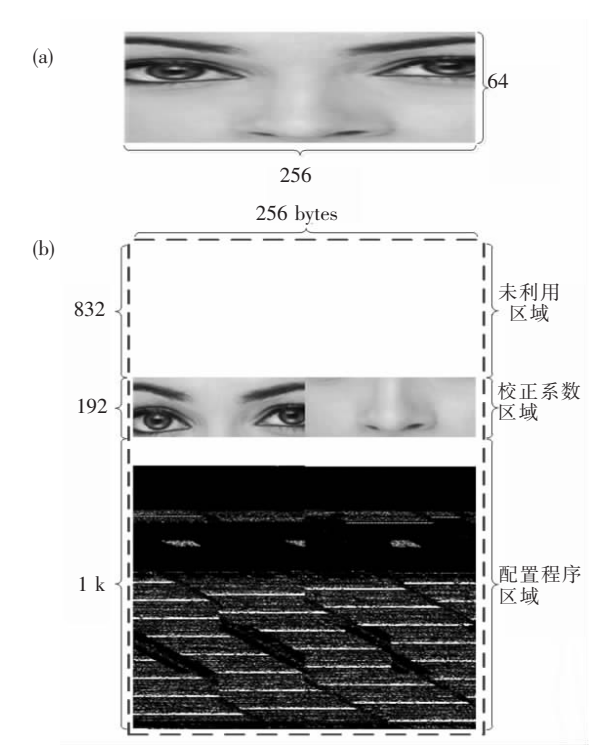


图 9 校正系数读出实验图

Fig. 9 Pictures during the calibration coefficient reading test

(b)中,底部大小为 $1\text{k}\times 256\text{ bytes}$ 显示内容不规则的部分,为 Flash 中存储 FPGA 配置程序区域;中间大小为 $192\times 256\text{ bytes}$ 的部分,为校正系数存储区域;顶部空白的部分为 Flash 未利用的区域。校正系数图每个像素大小为 $3\times 8\text{ bits}$,整个图大小为 $256\times 64\times 3\times 8\text{ bits}=192\times 256\text{ bytes}$ 。分析读出的 Flash 全部数据可知,校正系数数据已经被完整写入 Flash 中,并且能够被完整地读出。

5 结 论

开发了基于 USB 接口和 FPGA 的 LED 大屏幕显示配置系统。介绍了串行 Flash 及其在 LED 大屏幕显示控制系统中的作用。设计了系统的硬件电路,主要包括 USB 接口控制芯片和 FPGA。最后,设计了系统的软件程序,包括 USB 固件程序、PC 端用户程序和 FPGA 控制程序。实验结果表明,该系统能够准确写入和读出校正系数数据。擦除每个扇区大约 0.6 s ,写 Flash 速度可达到 2.3 Mbit/s ,读 Flash 速度可达到 30 Mbits 。该系统能够在 LED 大屏幕显示控制系统的校正系数维修中起到重要作用。

参 考 文 献:

[1] 阮海蓉,夏贵勇.基于照相的 LED 显示屏亮度校正方法 [J]. 液晶与显示,2012,27(2):193-194.
[2] 张学成.基于电力线载波模块的 LED 点阵图文显示系统 [J]. 液晶与显示,2011,26(3):350-353.
[3] 汪岚.智能 LED 信息显示屏控制系统设计与应用 [J]. 液晶与显示,2011,26(5):655-659.
[4] 邢伟,邵寅亮.一种 LED 显示控制系统在线升级的方法:中国专利,CN102081543A [P]. 2011-06-01.
[5] 深圳市洲明科技股份有限公司.全彩 LED 显示屏非均匀性逐点校正系统:中国专利,CN201904067U [P]. 2011-07-20.
[6] Xilinx. Spartan-3AN FPGA family data sheet [EB/OL]. [2008-02-02]. <http://www.xilinx.com>.
[7] Cypress. EZ-USB FX2LPTM USB microcontroller data sheet [EB/OL]. [2009-05-20]. <http://www.cypress.com>.
[8] 钱峰.EZ-USB FX2 单片机原理、编程及应用 [M]. 北京:北京航空航天大学出版社,2006:133-170.
[9] ST Microelectronics. 4Mbit, Low voltage, serial flash memory with 40MHz SPI bus interface [EB/OL]. [2004-08-05]. <http://www.st.com>.